

Family list

2 family members for:

JP60119733

Derived from 2 applications.

1 GETTERING METHOD FOR HEAVY METAL OF SILICON PLATE

Publication info: **JP60119733 A** - 1985-06-27

2 Method for gettering heavy metal from a silicon plate

Publication info: **US4692345 A** - 1987-09-08

Data supplied from the **esp@cenet** database - Worldwide

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

01641233 **Image available**
GETTERING METHOD FOR HEAVY METAL OF SILICON PLATE

PUB. NO.: **60-119733** [JP 60119733 A]
PUBLISHED: June 27, 1985 (19850627)
INVENTOR(s): NISHIURA SHINJI
 HARUKI HIROSHI
APPLICANT(s): FUJI ELECTRIC CORP RES & DEV LTD [470737] (A Japanese Company
 or Corporation), JP (Japan)
APPL. NO.: 58-227663 [JP 83227663]
FILED: December 01, 1983 (19831201)
INTL CLASS: [4] H01L-021/322
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R129
 (ELECTRONIC MATERIALS -- Super High Density Integrated
 Circuits, LSI & GS)
JOURNAL: Section: E, Section No. 355, Vol. 09, No. 277, Pg. 44,
 November 06, 1985 (19851106)

ABSTRACT

PURPOSE: To enable to perform a gettering treatment in a simple and effective manner by a method wherein an amorphous silicon layer is coated on one face of a single crystal silicon plate, the amorphous silicon layer is converted into a polycrystalline silicon layer by heating it up to the crystallizing temperature or above, and a gettering treatment is performed on the heavy metal, with which single crystal silicon is contaminated, and the microscopic defects generated by the heavy metal using said polycrystalline silicon layer.

CONSTITUTION: Electrodes 4 and 5, having heating plates 6 and 7 on the back side respectively, are arranged facing each other leaving the prescribed interval in the vacuum container 1 whereon a gas feeding system 2 and a vacuum evacuating system 3 are provided, the electrode 5 is earthed, and a high frequency power source 9 is connected between the electrode 5 and the supporting member 8 which supports the electrode 4. Then, silane gas is supplied from a feeding system 2, the inside of a container 1 is maintained at 1-10Torr by an evacuating system 3, a glow discharge is generated between the electrodes 4 and 5, the wafers 10 which are pasted on the electrodes 4 and 5 respectively are heated up, and an amorphous silicon layer 20 is grown on the surface of the wafers 10. Subsequently, temperature is raised further, and the layer 20 is converted into a polycrystalline silicon layer.

?

⑫公開特許公報 (A) 昭60-119733

⑤Int.Cl.⁴
H 01 L 21/322識別記号 庁内整理番号
6603-5F

⑬公開 昭和60年(1985)6月27日

審査請求 未請求 発明の数 1 (全3頁)

⑭発明の名称 シリコン板の重金属ゲッタリング方法

⑮特願 昭58-227663
⑯出願 昭58(1983)12月1日

⑰発明者 西浦 真治 横須賀市長坂2丁目2番1号 株式会社富士電機総合研究所内

⑲発明者 春木 弘 横須賀市長坂2丁目2番1号 株式会社富士電機総合研究所内

⑳出願人 株式会社富士電機総合研究所 横須賀市長坂2丁目2番1号

㉑代理人 弁理士 山口 嶽

明細書

1.発明の名称 シリコン板の重金属ゲッタリング方法

2.特許請求の範囲

1) 単結晶シリコン板の一面に非晶質シリコン層を被覆し、非晶質シリコンの結晶化温度以上に加熱して前記非晶質シリコン層を多結晶シリコン層に変化させ、この多結晶シリコン層によって重金属をゲッタリングすることを特徴とするシリコン板の重金属ゲッタリング方法。

3.発明の詳細な説明

〔発明の属する技術分野〕

本発明はLSIなどの製造の際などのプロセス工程中に単結晶シリコンを汚染した重金属ならびにそれによって発生した微小欠陥を除去するシリコン板の重金属ゲッタリング方法に関する。

〔従来技術とその問題点〕

今日のLSI技術は、素子の微細化、高集積化に伴い、ますます清浄度が必要となっている。清浄度を改善するには、理想的に清浄な環境の中で

作業し、使う薬品等も高純度であればよいが、その場合でもある程度の汚染は避けられない。この中でプロセス工程中の酸化、拡散やエピタキシャル工程での重金属汚染を原因として種々の誘起欠陥が生じることが報告されている。これらの重金属としては、Fe, Cu, Ni, Cr, Co, Auなどがあげられる。この結果生ずる欠陥によって、MOSのライフタイムが低下し、RAMのメモリホールディングの時間が短くなるなどの問題が生じ、素子の性能、歩留りを大きく左右する。

この重金属汚染は、清浄化によって幾分少なくなるが避けることができないのが現状である。この影響を取り除くためにシリコンウェーハ裏面に歪みを導入して、そこにつくった結晶欠陥に、重金属を集め、素子の活性化領域を無欠陥状態にするために次のようにいくつかの試みが行われた。

- (1) ウェーハ裏面をラッピングしたりあるいは黒帯したりして、裏面に傷をつける。
- (2) レーザビームを照射して歪みを導入する。
- (3) イオン注入によって歪みを導入する。

(4) Si_3N_4 膜をウェーハ裏面に形成する。

(1) のラッピングなどによるウェーハ裏面への傷の導入については、1枚ずつの処理を行う必要がある上、ラッピング時間がかかり、又ラップ後の清浄化処理が複雑になる等の欠陥がある。(2) のレーザービームの蒸着についても、1枚ずつウェーハ面全周の照射が必要なのでコスト高となる。また(3) のイオン注入による方法はドーズ量の制御が困難なうえに、注入後の熱処理などが必要で処理が複雑である。最後の Si_3N_4 膜の形成による方法は、膜厚が 2000 Å の場合が最適であるが、膜厚が 2500 Å を越えるとウェーハが反ってスリップが発生することもあり、膜厚の制御を厳しくしなければならぬ上、裏面への構造によるグッタリングを併用しないと効果が思わしくない。また、 Si_3N_4 がウェーハ上に絶縁膜を形成するので、 Si_3N_4 を除去する工程が必要となる。

[発明の目的]

本発明はこれに対して簡便で効果の高いシリコン板の重金属グッタリング方法を提供することを

目的とする。

[発明の要点]

本発明は単結晶シリコン板の一面に非晶質シリコン層を被覆し、非晶質シリコンの結晶化温度以上に加熱して非晶質シリコン層を多結晶シリコン層に変化させ、この多結晶シリコン層によって重金属をグッタリングすることにより上記の目的を達成する。

[発明の実施例]

第1図は非晶質シリコン（以下 a-Si と記す）を単結晶シリコン板に付着させる装置を示し、真空槽 1 にはガス供給系 2 および真空排気系 3 が接続され、真空槽内部には対向する電極 4, 5 ならびにそれを加熱するヒータを内蔵した加熱板 6, 7 が配置され、上部電極 4 および加熱部 6 は支持体 8 によって真空槽に取り付けられている。ガス供給系 2 からシランガスを真空槽 1 に供給し、真空排気系 3 によりガス圧を 1 ~ 10 Torr に保持し、電極 4, 5 間に高周波電源 9 により電圧を印加してグロー放電を発生させ、反応ガスを分解し

て第2図に示すように a-Si 層 20 を加熱された単結晶シリコンウェーハ 10 の上に成長させる。通常 a-Si 層を形成する場合には基板は接地側、第1図の場合は電極 5 の上に置くが、本発明により形成される a-Si 層は膜質を問題としないので両電極 3, 4 をサセプタとして利用することができる。ウェーハ 10 は鏡面研磨された表面 11 を電極 3, 4 側に向けて取り付け、約 200 °C に加熱して裏面 12 側に a-Si 層 20 を被覆する。反応ガスとしてシランガスを供給した場合、堆積する a-Si はノンドープ a-Si であるが、シランに約 1 % のジボランまたはフォスフィンを添加すると、それぞれ p型 a-Si, n型 a-Si が形成される。a-Si 層 20 は厚さ数百ないし数千 Å に形成される。a-Si 層のシリコンウェーハへの密着性を向上させるために、先ず直流放電で数 100 Å の a-Si 膜をウェーハ上に形成し、後に高周波放電で a-Si 層を形成するのが望ましい。

第3図はこのような a-Si 層 20 を有するシリコンウェーハ 10 を用いてその表面 11 側にダイオード

を形成した場合、漏れ電流 100 mA/cm^2 以下のダイオードが得られる歩留りの a-Si 層の厚さに対する依存性を示す。a-Si 層 20 としてはノンドープ a-Si 層および n型 a-Si 層を形成し、ウェーハ表面 11 がポロンプラス、BN板などの硼素固体ソースと向い合うように硼素固体ソースをはさんでウェーハ 10 を配列し、キャリアガスとして約 1000 ppm の硫黄を含んだ塩素を 4 ~ 6 L/min の割合で流しながら約 1000 °C に加熱する。数十分ないし 1 時間程度の加熱により数 μm の厚さの p型層 13 が形成される。このようにして作成されたダイオードの漏れ電流の a-Si 層厚さ依存性は、第3図においてノンドープ a-Si 層を形成した場合が曲線 31、シランガスに約 10 % のフォスフィンガスを混合して n型 a-Si 層を形成した場合が曲線 32 で示されている。このようにウェーハ 10 の裏面に a-Si 層 20 を被覆することによりダイオード製造時の歩留りが向上したことは、ウェーハを a-Si の結晶化温度 700 °C を越える約 1000 °C に加熱したため、a-Si 層が多結晶シリコン層に変化し、そ

の際この多結晶シリコン層にウェーハ中の重金属がゲッタリングされることによると推定される。n型 a-Si 層を形成した場合がノンドープ a-Si 層を形成した場合にくらべて効果が大きいのは、焼によるゲッタリング効果が重畠したためと考えられる。

〔発明の効果〕

本発明はシリコン板の裏面に a-Si 層を被着し、その a-Si 層を多結晶化して多結晶シリコンにゲッタリング作用を行わせるもので、a-Si 層として n 型層を用いれば、焼ドープによるゲッタリング効果と多結晶層による重金属ゲッタリング効果を1回の工程で同時に得ることができる。また、a-Si 層の形成温度は 200 ℃前後と通常のウェーハプロセスの加熱温度に比して格段に低いことならびに気相成長のため、ウェーハの製造工程のいずれの間に a-Si 層を形成してもでき上った素子の特性に影響を及ぼすことがない。すなわち、従来のゲッタリングのための処理はその時期が重要なポイントであったが、本発明によれば最も有効

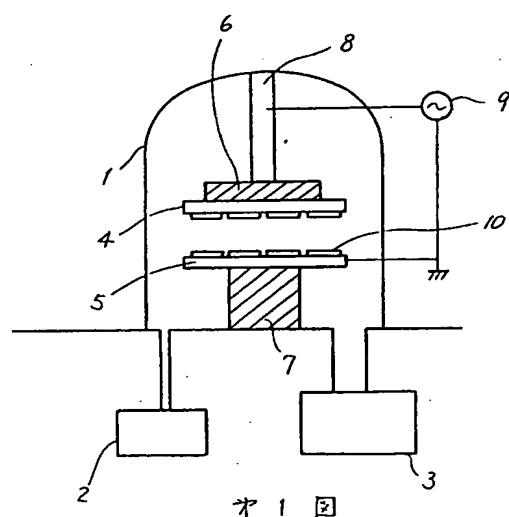
な時期に他の製造工程に悪い影響を及ぼすことなく処理を行うことができるので LSI 製造等において得られる効果は極めて高い。

4. 図面の簡単な説明

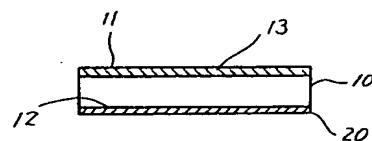
第1図は本発明実施のための a-Si 層形成装置の一例の概念的断面図、第2図は本発明の一実施例におけるシリコン板の断面図、第3図は本発明のダイオード漏れ電流良品率に対する依存性を示す線図である。

10…シリコン板、11…表面、12…裏面、
20…a-Si 層。

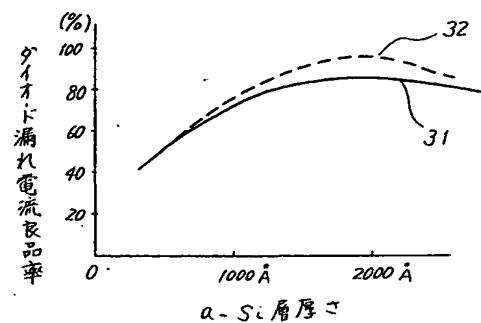
新規実用登録 山口



オ 1 図



オ 2 図



オ 3 図